



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10240202 A**(43) Date of publication of application: **11.09.98**

(51) Int. Cl.

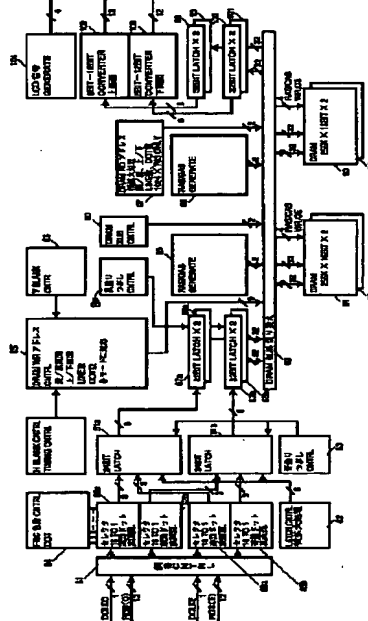
G09G 3/36**G02F 1/133****G09G 3/20**(21) Application number: **09090610**(22) Date of filing: **09.04.97**(30) Priority: **24.12.96 JP 08343714**(71) Applicant: **SANYO ELECTRIC CO
LTD TOTTORI SANYO ELECTRIC
CO LTD**(72) Inventor: **INOUE SEIJI
IGA TOMOYOSHI
INOUE TAKESHI
TOGAWA SHINGO**(54) **LCD DISPLAY DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an LCD display device making possible simply performing at a low speed the processing of the image data for displaying a non-image area caused when a picture (raster) having a size smaller than an LCD display screen is displayed by a specified color.

SOLUTION: The LCD display device displays the non-image area caused by displaying the picture having the size smaller than the LCD screen, with the specified color. This device is provided with rewritable memories 91-94. For writing the specified color data on a whole address corresponding to the LCD screen of these memories 91-94, 24 bits latch circuits 81a, 81b, a blue paint-out control circuit 83 and a black paint-out control circuit 80 are provided. Further, the device is provided with a superscription means superscribing the addresses corresponding to the small size picture of the memories 91-94 by the input image data and the means reading out the whole data stored in the memories and imparting them to an LCD module.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240202

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

G 0 9 G 3/20

G 0 9 G 3/20

R

審査請求 未請求 請求項の数10 O L (全 21 頁)

(21) 出願番号 特願平9-90610

(22) 出願日 平成9年(1997) 4月9日

(31) 優先権主張番号 特願平8-343714

(32) 優先日 平8(1996)12月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 井上 清次

鳥取市立川町7丁目101番地 鳥取三洋電
機株式会社内

(72) 発明者 伊賀 友義

鳥取市立川町7丁目101番地 鳥取三洋電
機株式会社内

(74) 代理人 弁理士 佐野 静夫

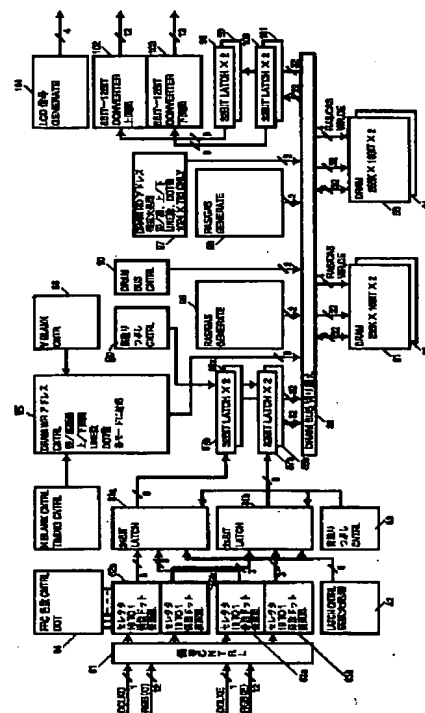
最終頁に続く

(54) 【発明の名称】 L C D表示装置

(57) 【要約】

【課題】 L C D表示画面よりも小さいサイズの画面（ラスタ）を表示する場合に生じる非画像領域を特定の色で表示するための画像データの処理を低速で簡単に行い得るようにした L C D表示装置を提供する。

【解決手段】 L C D表示装置は L C D画面よりも小さいサイズの画面を表示することにより生じる非画像領域を特定の色で表示する。この装置は書換え可能なメモリ 9 1～9 4を有する。該メモリ 9 1～9 4の前記 L C D画面に対応するアドレス全体に前記特定の色データをライトするため 2 4ビットラッチ回路 8 1 a、8 1 b、8 3 a、8 3 bと青塗りつぶし制御回路 8 3、黒塗りつぶし制御回路 8 0が設けられている。更にメモリ 9 1～9 4の前記サイズの小さい画面に対応するアドレスを入力画像データで上書きする上書き手段と、前記メモリに記憶されている全データを読み出して L C Dモジュールに与える手段とを備えている。



【特許請求の範囲】

【請求項1】LCD画面に該LCD画面よりも小さいサイズの画面を表示することにより生じる非画像領域を特定の色で表示するようにしたLCD表示装置において、書換え可能なメモリと、

前記メモリの前記LCD画面に対応するアドレス全体に前記特定の色データをライトする塗りつぶし手段と、

前記メモリの前記サイズの小さい画面に対応するアドレスを入力画像データで上書きする上書き手段と、

前記メモリに記憶されている全データを読み出してLCDモジュールに与える手段と、

を備えることを特徴とするLCD表示装置。

【請求項2】前記LCD画面に表示される小さい画面のサイズは表示モードによって異なっており、前記塗りつぶし手段によるライトは表示モードの切換え時に1回だけ行なわれることを特徴とする請求項1に記載のLCD表示装置。

【請求項3】LCD画面に該LCD画面よりも小さいサイズの画面の画像データを拡大して表示するLCD表示装置において、

書換え可能なメモリと、

入力データをラッチするとともに所定ビット数ごとにラッチ画像データを出力するラッチ回路と、

同一の入力画像データを所定の拡大比に応じたビット数だけ重複して前記ラッチ回路にラッチさせるラッチコントロール回路と、

前記ラッチ回路の出力を前記メモリにライトするライトコントロール回路と、前記メモリにライトされた画像データを読み出してLCDモジュールに与える手段と、

を備えることを特徴とするLCD表示装置。

【請求項4】複数の階調ごとのディザパターンを1画面ごとに変化させて発生するパターン発生回路と、

入力画像データの階調を検出する検出回路と、

前記検出回路の出力に基づいてパターン発生回路からのディザパターンを選択する選択回路と、

を備え、前記選択回路で選択されたパターンによってLCDに画像表示するようにしたことを特徴とするLCD表示装置。

【請求項5】前記1画面は入力画像信号の垂直周波数を f としたとき $1/2f$ 秒間表示されることを特徴とする請求項4に記載のLCD表示装置。

【請求項6】前記ディザパターンの1画面ごとの変化はデータが画面ごとに1ビットずつ縦方向ヘシフトすることによって成されることを特徴とする請求項4に記載のLCD表示装置。

【請求項7】LCD表示パネルの表示モードを入力画像信号に基づいて自動的に切り換えることができるLCD表示装置において、前記表示モードの切り換えの際に表示条件に関するパラメータを表示モードに合致するように設定する動作中、前記LCD表示パネルの表示をOFF

F状態にすることを特徴とするLCD表示装置。

【請求項8】前記ディザパターンは前記階調が異なっても基本パターンのサイズは同一であり、前記階調に応じて点灯するドット数が異なることを特徴とする請求項4に記載のLCD表示装置。

【請求項9】A/Dコンバータでデジタル信号に変換した画像信号をLCD画面に表示するLCD表示装置において、

前記画像信号を少なくとも3ドット以上順次ラッチするラッチ回路と、

前記ラッチ回路でラッチされている先頭の信号と2番目の信号との差を特定値と比較する比較回路と、

前記ラッチ回路でラッチされている信号の3番目以降の信号に前記先頭の信号と一致するものがあるか否かを検出する検出回路と、

前記比較回路と前記検出回路の出力に基づいて前記先頭の信号に変更を加えることができる手段と、

を備えることを特徴とするLCD表示装置。

【請求項10】前記画像信号は階調を表すビット数よりも多くのビット数より成る信号であることを特徴とする請求項9に記載のLCD表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLCD（液晶）表示装置に関するものであり、特に異なるサイズ形式の画像データを表示することができるLCD表示装置に関する。

【0002】

【従来の技術】LCD表示パネルとしてXGA、SVGA、VGA等の種々のサイズ形式のものがある。因みに、これらのLCD表示パネルの横×縦のドット数は次のようになっている。

【0003】

XGA・・・1024×768 ドット

SVGA・・・800×600 ドット

VGA・・・640×480 ドット

【0004】一方、表示用の画像データはパーソナルコンピュータ等から与えられるが、パーソナルコンピュータでは、XGA、SVGA、VGA式の画像データをモードに応じて出力できるようになっている。そのため、LCD表示パネルのサイズ形式と、それに入力される画像データのラスタが一致しない場合があり得る。例えば、XGA型LCD表示パネルにSVGAやVGAの画像データを表示する場合、あるいはSVGA型表示パネルにVGAの画像データを表示する場合がそれに相当する。

【0005】このような場合、LCD画面に非画像領域が生じてしまう。この非画像領域が存在すると、違和感が生じるので、非画像領域を特定の色（例えば黒）で表示する方法が特開平7-191630号公報に記載され

ている。具体的にいえば、この従来例はLCDパネルの非画像領域では、正規入力信号のブランキング期間内でデータを擬似的に高速動作させて特定色の信号を書き込み、画像領域では正規の速さで情報を書き込むようにして、画像領域の周りに特定色の背景が表示されるようにしたものである。

【0006】

【発明が解決しようとする課題】しかしながら、この従来例では非画像領域も画面ごとに（フレームごとに）特定色データによって毎回書き換えられることになる。従って、その分、時間がかかり、高速処理が要求されるので、回路的な負担が大きくなってしまふ。特に非画像領域では、ドットクロックを高速にし、画像領域では正規の速さにする如く、走査途中でドットクロックの切り換えを要するという欠点がある。また、これとは別に今までのLCD表示装置では、一般的に画像のチラツキが目立つという問題がある。

【0007】本発明はこのような点に鑑みなされたものであって、LCD表示画面よりも小さいサイズの画面（ラスター）を表示する場合に生じる非画像領域を特定の色で表示するための画像データの処理を低速で簡単に行い得るようにしたLCD表示装置を提供することを目的とする。本発明の他の目的はLCD表示装置における画像のチラツキを抑えたLCD表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するため請求項1の発明では、LCD画面に該LCD画面よりも小さいサイズの画面を表示することにより生じる非画像領域を特定の色で表示するようにしたLCD表示装置において、書換え可能なメモリと、前記メモリの前記LCD画面に対応するアドレス全体に前記特定の色データをライトする塗りつぶし手段と、前記メモリの前記サイズの小さい画面に対応するアドレスを入力画像データで上書きする上書き手段と、前記メモリに記憶されている全データを読み出してLCDモジュールに与える手段とを備えている。

【0009】この構成によると、LCDの画面全体を特定色で塗りつぶすようにメモリに特定色データをライトしておけば、後は入力画像データに従ってメモリの書換えを順次行なうだけでよい。したがって、非画像領域を画面（フレーム）ごとに毎回書き換える必要はない。

【0010】請求項2の発明は前記請求項1の発明において、LCD画面に表示される小さい画面のサイズが表示モードによって異なっており、前記塗りつぶし手段によるライトが表示モードの切り換え時に1回だけ行なわれることを特徴としている。

【0011】従って、この構成によると、表示モードがXGA型画面にSVGAを表示するモードからVGAを表示するモードに変化したとき画像領域が小さくなり、

その分、SVGAモード時の画像が新たな画像領域の周囲に残るが、特定色による塗りつぶしによって、この部分も塗りつぶされるので、SVGAモード時の画像が新たな画像領域の周囲に残ることはなくなる。

【0012】また、請求項3の発明は、LCD画面に該LCD画面よりも小さいサイズの画面の画像データを拡大して表示するLCD表示装置において、書換え可能なメモリと、入力データをラッチするとともに所定ビット数ごとにラッチ画像データを出力するラッチ回路と、同一の入力画像データを所定の拡大比に応じたビット数だけ重複して前記ラッチ回路にラッチさせるラッチコントロール回路と、前記ラッチ回路の出力を前記メモリにライトするライトコントロール回路と、前記メモリにライトされた画像データを読み出してLCDモジュールに与える手段とを備えた構成である。

【0013】従って、この構成によると、横方向の拡大は、同一の入力画像データを所定の拡大比に応じたビット数だけ重複してラッチ回路にラッチさせるだけでよいことになり、拡大処理が容易である。

【0014】また、請求項4の発明では、LCD表示装置は、複数の階調ごとのディザパターンを1画面ごとに変化させて発生するパターン発生回路と、入力画像データの階調を検出する検出回路と、前記検出回路の出力に基いてパターン発生回路からのディザパターンを選択する選択回路とを備え、前記選択回路で選択されたパターンによってLCDに画像表示するようにしている。

【0015】従って、この構成によると、入力画像データの階調に応じたディザパターンを画面ごとに簡単に出力できる。

【0016】請求項5の発明は請求項4の構成において、例えば入力画像信号の垂直周波数を60Hzとしたとき1画面が1/120秒間表示される。この構成によると、画面のチラツキ（フリッカ）がより一層低減される。

【0017】請求項6の発明は請求項4の構成において、前記ディザパターンの1画面ごとの変化をデータが画面ごとに1ビットずつ縦方向ヘシフトすることによって成されるように構成している。従って、画面ごとに変化するディザパターンが簡単な規則性に従って形成される。

【0018】また、請求項7の発明は、表示モードの設定動作のため、一時的にLCD表示パネルの表示がOFFになるが、これは表示画面の乱れを阻止する。

【0019】

【発明の実施の形態】図3は入力画像データを処理して一時的に格納するDRAM（ダイナミック・ランダム・アクセス・メモリ）について模式的に示しているが、これとLCD表示パネルの画面とは対応しているので、説明の便宜上、これをLCD画面として説明することもあるものとする。

10

20

30

40

50

【0020】さて、図3において、上画面102と下画面103で構成されるLCD画面をXGAのLCDパネルの画面とすると、横方向の表示サイズWに1024ドットの画素が設けられており、縦方向の1/2サイズU1、U2にはそれぞれ384行の画素が設けられている。

【0021】LCD表示信号の画面切り換えはV SYNC（垂直同期信号）に同期させているので、表示側もV SYNCをそのまま使用する。一方、表示側でDRAMからの読み出しに用いるH SYNC（水平同期信号）や改行信号は入力信号に依存せずにLCDパネルの行数に依るので、入力信号のH SYNCは使用せずに後述するコントローラ2の内部で形成する。

【0022】XGA型LCDでは行数は768であるので、図4に示す入力信号の1フレーム期間（V₁の立ち上がりからV₂の立ち上がりまでの期間）を768等分してDRAMからのデータ読み出し及び読み出したデータを表示する際のH SYNC（図4（c））を形成する。DRAMへの書き込みについては、図4（a）～（d）に示すV SYNC、H SYNCをそのまま使う。

【0023】ここで、書き込みについて説明すると、入力画像信号には垂直ブランキング期間が存在し、この期間には画像信号が存在しない（存在するのは同期信号だけである）。画像信号は図4（a）（b）におけるT1の期間に存在するだけである。従って、CPU1又はコントローラ2内にカウンタBを用意しておいて、例えばV SYNC V1の立ち上がりからH SYNCを所定数カウントした後、DRAMに行0、1、2・・・のデータをライトする。そして、T1期間に対応する768行の半分T2を上画面用、残りの半分T3を下画面用としてDRAMに書き込む。

【0024】一方、入力画像信号のH SYNCの立ち上がりに同期したドットクロックを作成する。このドットクロックはXGA、SVGA、VGAの各モードごとに周波数が異なる。図4（c）（d）は、そのように形成されたH SYNCとドットクロックの関係を示している。ドットクロックはH SYNCの立ち上がりを基準としている。即ち、図4では、H SYNC H1の立ち上がりに同期してドットクロックが立ち上がり、それ以降は所定の周期でドットクロックが次々と形成される。このドットクロックを1/2分周したパルスが図4（e）のDCLKAであり、その反転関係にあるのが図4（f）のDCLKBである。

【0025】さて、入力画像データには上述の垂直ブランキング期間だけでなく、水平についてもブランキング期間が存在する。この水平ブランキング期間はXGA信号の場合、H SYNCの立ち下がりからカウンタでドットクロックを7個数えることによって検出される。従って、7個目から始まるT4の期間に各ドットデータ0、1、2・・・をDRAMに書き込む。

【0026】図3のXGA型LCDパネルの画面とXGA方式の入力画像データ（画像信号）との関係について説明すると、横方向の表示サイズW内に前記T4期間の画像データが表示される。また、T2期間の行の画像データは上画面のU1に、T3期間の行の画像データは下画面のU2にそれぞれ表示される。尚、SVGAやVGAの入力画像データをそれぞれSVGA型LCDパネル、VGA型LCDパネルに表示する場合についても上述のXGAの画像データをXGA型LCDパネルに表示する場合と同様であり、W、U1、U2のサイズやデータのドット数等が異なるだけである。

【0027】ところが、大画面のLCDパネルに小画面用の画像データを表示する場合には以下の方法が採られる。例えば、XGA型LCDパネルにSVGA方式の画像データを表示する場合には、同図に示す入力画像信号のH SYNCをV SYNCの立ち下がりからカウンタBで所定数カウントした後で、且つH SYNCの立ち下がりからカウンタAでドットクロックを所定数カウントした後に画像データのサンプリングを開始し、その後、カウンタCとカウンタHで示されるDRAM上のアドレス位置より画像データの書き込みを開始する。即ち、LCDパネルと画像データとが同サイズの場合は、DRAMの先頭アドレス（行アドレス0及びドットアドレス（列アドレス）0）から画像データの書き込みを開始するのに対し、画像データのサイズがLCDパネルのサイズより小の場合には、行アドレスがカウンタCに進み、且つドットアドレスがカウンタHに進んだところから画像データの書き込みを開始する。

【0028】以下、順次、2行、3行、・・・をカウンタHとカウンタAとドットクロックを使って書いていった1画面分が書き込まれる。第2画面以降も同様に処理される。読み出しについてはH SYNCと改行信号は読み出し用に形成されたものを使う。

【0029】このようにXGA型LCDパネルにSVGAを通常のモードで表示するときは、画像をLCDパネルの中心に表示するので、上画面、下画面とも画像領域は302、304（図3）となり、非画像領域301、303が生じてしまう。この非画像領域301、303をそのまま不使用にすることも可能であるが、黒又は青で均一表示すると見やすい。尚、画像領域302、304に表示される画像データを拡大してXGAの画面全体に表示すると、画面に非画像領域が残らないので、違和感がなく、画像を鑑賞できる。

【0030】以下、本発明の実施形態を図面に従って詳細に説明する。図1はマルチスキャン型のLCD表示装置のブロック図である。このLCD表示装置では、択一的に、XGA表示モード、SVGA表示モード、VGA表示モードを採ることができるとともに、LCDの画面にSVGAやVGAの画像を表示するときのバック塗りつぶしや拡大表示ができるようになっている。

【0031】1は全体の制御を司るCPUである。2はDRAMコントロールやLCDコントロール等の機能を有するコントローラであり、入力画像信号に対応した階調制御や、表示位置制御、非画像領域部分の塗り潰し制御等を行う。このコントローラ2は、特にこれに限る必要はないが、ゲートアレーで構成されている。

【0032】91～94は画像信号を一時記憶する4画面分のDRAMである。そのうちDRAM91、93は表画面用、DRAM92、94は裏画面用のDRAMである。4はアナログ信号をデジタル信号に変換するA/Dコンバータであり、入力画像信号のRGB各々に対し奇数用と偶数用を有し、合計6個のA/Dコンバータから成る。

【0033】5は入力画像信号に対応したサンプリングクロックを発生するクロックジェネレータ、6は入力画像信号を増幅するビデオアンプ、7はユーザーの調整をガイドするメッセージを表示するためのオンスクリーン・ディスプレイ回路、8は各種の表示パラメータを格納する不揮発性メモリ、11はLCDモジュールである。300は表示メニューキー等を有する操作部であり、その出力はCPU1に与えられる。

【0034】図1において、コネクタ9を介して外部機器（例えばパーソナルコンピュータ）から与えられた画像信号（R、G、B）、垂直同期信号VSYNC、水平同期信号HSYNCはバッファ10を通してそれぞれビデオアンプ6、CPU1及びコントローラ2に輸入される。パーソナルコンピュータから来るHSYNCやVSYNCはXGA、SVGA、VGA等のモードで正/負が異なっている。

【0035】しかし、表示装置としては、HSYNC、VSYNCの正/負は一定していないと、正常に動作しないので、コントローラ2に輸入されたHSYNC、VSYNCの正/負をCPU1によって一定に統一する。また、CPU1は入力されたVSYNCの極性と周波数、HSYNCの極性と周波数を検出し、不揮発性メモリ8に格納されている表示パラメータと比較して、どのモード（XGA、SVGA、VGA）で表示するかを決定するとともにコントローラ2とクロックジェネレータ5にパラメータを設定する。クロックジェネレータ5は設定されたパラメータにより、HSYNCに同期したサンプリングクロックを発生させ、コントローラ2とA/Dコンバータ4に供給する。

【0036】ビデオアンプ6に輸入された画像信号は必要なレベルに調整された後、インピーダンス整合用のアンプ12R、12G、12Bを通してA/Dコンバータ4に供給され、このA/Dコンバータ4によりサンプリングクロックでサンプリングされてデジタル信号に変換され、コントローラ2に輸入される。このとき、サンプリングクロック周波数の上限を下げるためRGBごとに、それぞれA/Dコンバータ4を2組使用して奇数・偶数ドットを個別処理し、一方はサンプリングクロックの立ち上がりエッジで、他方は立ち下がりエッジでそれ

それでサンプリングを行ない、奇数ビット、偶数ビットの平行した信号として出力する。

【0037】コントローラ2は表示パラメータに従い垂直ブランキング、水平ブランキング期間を制御して画像データを取り込み、階調制御を行なった後、表示モードに従って決定したDRAM91～94のアドレスに書き込む。このとき、水平ブランキング数により奇数ビット、偶数ビットのどちらを1ビット目にするかを制御する。

10 【0038】階調制御は内部に1/2周期、1/3周期、1/5周期、1/7周期のカウンタを持ち、入力画像信号のレベルによってドット毎に表示する・しないを制御し、また面積階調制御とするためフレーム毎に表示するドットの位置が変わり画面にムラが出ないように制御する。これはフレームカウンタ、ラインカウンタを組み合わせることで実現している。

20 【0039】また、画像のフリッカーを少なくして表示品位を良くするため1ドットに対し2画面分（便宜上、本明細書では「表画面」、「裏画面」ということにする）のデータを作成し、同時にDRAMに書き込み、1フレームに2画面読み出し、表示周期（フレーム周波数）を2倍にしている。

30 【0040】また、入力される画像信号とLCDモジュール11のモード（XGA、SVGA、VGAの表示モード）の違う場合の表示位置は、前述したようにカウンタC、HでDRAMの書き込みアドレスを制御することで画面中央に表示する。この場合に表示の周囲にできる空白部分（非画像領域）はモード切り換え時に画面全体に対応するDRAMのアドレスに黒あるいは他の色のデータを書き込み処理する（モードの切り換え時の1回のみ）。

【0041】DRAMに書き込むデータは等倍表示時は必要部分のみ（アドレス制御して画面の表示位置になるように制御）書き込み、読み出しはLCDモジュール11の全画面に対応する部分を読み出す。このとき、2画面分のDRAMはそれぞれ書き込み、読み出しを交互に行ない、順次切り換えて使用する。

40 【0042】LCDモジュール11はデュアルスキャンタイプを使用しているため、上画面データ・下画面データを同時に出力する必要がある。そこで、DRAMの書き込み時に、2画面分のデータを同時に書き込んだようにアドレス制御することで上画面データ・下画面データを同時に読み出し、それぞれ出力することで上画面データ・下画面データを同時に出力する。

50 【0043】次に本発明の特徴部分を最もよく含んでいるコントローラ2について詳述する。図2はコントローラ2の構成をブロック図で示している。A/Dコンバータ4の出力は安定期間が短いので、まず24ビットの入力の全部を偶奇コントロール回路61でラッチして安定させる。A/Dコンバータ4は入力画像信号の状態に拘

らず、A/D変換を行なう。従って、黒レベルについても、画像信号についてもA/D変換を行なっている。

【0044】一方、偶奇コントロール回路61のラッチ動作は、水平同期信号H_{SYNC}の立ち下がりから何個目のクロックで動作開始するということをCPU1がモードに応じて決めている。例えば、図4の例では、H_{SYNC}の立ち下がりから7個目のクロックでラッチ（サンプリング）動作を開始する。このとき、7個目のクロックが偶数に対応しているか、奇数に対応しているか分からない。そこで、偶奇コントロール回路61の処理は、奇数、偶数にとらわれずに、最初のをAとし、次のものをBとして処理する。

【0045】図10の（ハ）はこのことを示している。図10の（イ）（ロ）において、DCLKOは奇数ビットのドットクロックを表わし、DCLKBは偶数ビットのドットクロックを表わしている。（イ）では水平同期信号から所定数個目の奇数パルスD₀の立ち下がりによって水平ブランキングHBLNKAが終るとともに、所定数個目の偶数パルスD_gの立ち上がりによって水平ブランキングHBLNKBが終る。従って、双方の水平ブランキングが終った後の最初のドットクロックは、この場合偶数のパルスD_gとなる。一方、（ロ）の場合は奇数のD₀となる。

【0046】このように、ラッチ動作のための最初のパルスが偶数の場合と奇数の場合がありえる。図10

（ハ）はどちらの場合であっても、最初のをA（即ち、DCLKA）とし、次のものをB（即ち、DCLKB）としている。尚、図10の（ニ）はDCLKAとDCLKBによってラッチされる画像データRGBを示しており、DCLKAでラッチされる画像データをRGB Aとし、DCLKBでラッチされる画像データをRGB Bと表わしている。

【0047】尚、偶奇コントロール回路61は奇数のRGB（RGB各4ビット）について4×3=12ビット、同様に偶数のRGBについて4×3=12ビットをラッチして、そのラッチ出力を次段のセクタ62a、62b、63a、63bへドットクロックDCLKA、DCLKBと共に与える。

【0048】セクタ62aは偶数ドットの表画面用であり、セクタ62bは偶数ドットの裏画面用である。またセクタ63aは奇数ドットの表画面用であり、セクタ63bは奇数ドットの裏画面用である。これらのセクタは、それぞれRGBについて個別のセクタを有していて、それらの入力端子に画像信号の4ビットが入力される。一方、FRC回路64ではRGBごとに個別にディザパターンが16通り作られている。この出力がセクタ62a、62b、63a、63bに16本入っている。セクタでは画像信号のレベル（階調）により、そのうちの1つのパターンを選択する。

【0049】FRC回路64は階調処理をしており、そ

の結果をセクタ62a、62b、63a、63bへ供給する。ここで、RGBのうち例えばRに関して具体的に説明する。FRC回路64には、入力画像データRの他にH_{SYNC}、V_{SYNC}、ドットクロックが入力される。FRC回路64は図5に示すように、ディザパターンを発生する16個のパターン発生回路K0、K1、・・・、K15を有している。入力Rデータは4ビットであるので、16階調の階調を持つことができる。

【0050】ここで、K0は「0000」に対応するディザパターンを発生し、K1は「0001」に対応するディザパターンを発生する。また、K15は「1111」に対応するディザパターンを発生する。ただし、K0によるパターンはドットを全て消灯するパターンであるからLCDは常時OFFであり、一方K15はドットを全て点灯するパターンであるからLCDは常時ONとなる。

【0051】図6はパターン発生回路K4によるパターンを示している。尚、本実施形態においては、1/60秒に2つの画面（本明細書では「表画面」と「裏画面」という）を表示するようにしている。換言すれば、1秒間に120画面である。従って、ここでいう第n画面（n=1、2、・・・）とは1/120秒間表示される画面のことである。

【0052】図6（イ）において、枠50内には、9個のドットが存するが、入力画像データA、Bに対し、ディザパターンは3個が点灯するパターンになっている（1/3）。画像データAはドットクロックDCLKAでラッチされたデータを示し、画像データBはドットクロックDCLKBでラッチされたデータを示す。（イ）は第1画面の表画面であり、（ロ）は第1画面の裏画面、（ハ）は第2画面の表画面、続いて第2画面の裏画面は（イ）となり、第3画面の表画面は（ロ）、第3画面の裏画面は（ハ）となり、（イ）～（ハ）が順次繰り返される。

【0053】図から分かるように、（イ）（ロ）（ハ）の画面の関係は1行ずつ上方ヘシフトしている。即ち、（ロ）は（イ）を1行分上方ヘシフトしたものであり、（ハ）は（ロ）を1行分上方ヘシフトしたものであり、（ハ）を上方へ1行分シフトすると、（イ）になる。

【0054】FRC回路64のパターン発生回路K0、K1、・・・、K15はそれぞれ割当られた互いに異なるディザパターンを発生しており、そのパターンの出力選択は、セクタ62a、62b、63a、63bにおいて行なわれる。図5には、そのうちのセクタ62aにおけるR用の回路のみが示されている。このセクタは65～68の入力端子を有しており、この入力端子を介して入力された4ビットの画像データRをデコード69でデコードする。

【0055】デコード69の出力は16本の出力線J0、J1、・・・、J15を介してゲート回路H0、H

1、・・・、H15に1対1の関係で接続されている。4ビットの入力データが「0000」のときは線路J0のみがハイレベルになり、ゲートH0が導通して出力端子70にK0からのデータが出力される。「0100」であれば、ゲートH4が導通してK4からのデータ（図6のパターンを形成するデータ）が出力端子70へ出力されることになる。

【0056】次に、図7は上記セクタ62aとFRC回路64の変形例を示している。ここでは、FRC回路64からパターン発生回路K0とK15が削除され、K1～K14のみとなっている。また、セクタ62aはデコーダ69の出力線路J0が削除されるとともに、出力線路J15がOR回路40に直接接続されている。A1～A14はデコーダ69の出力線路J1～J14にそれぞれ接続されるとともに、パターン発生回路K1～K14に接続されるAND回路である。この図7の構成は図5に比しシンプルであるという利点を有する。

【0057】尚、図5におけるK0のパターンは常時0である。一方、図7において入力端子65～68に入力されるRデータの4ビットが「0000」のときJ1～J14は全て0となり、OR回路40の出力も0となり、実質的にK0と同一の出力が得られる。従って、パターン発生回路K0は設けなくても図7の構成で対応できる。また、図5のK15のパターンは常時1である。

【0058】一方、図7において、入力端子65～68に入力されるRデータの4ビットが「1111」のとき出力線路J15のみが1になる。図7ではこの出力線路J15はOR回路40に直接接続されているので、出力端子72に常時1が出力され、実質的にK15と同一の出力が得られることになる。従って、パターン発生回路K15も不要である。

【0059】図2において、セクタ62a、62b、63a、63bはRGBの各々に関して上述した図5又は図7の構成をもっているものとする。セクタ62aと63aの出力は24ビットラッチ回路81aに与えられ、セクタ62b、63bの出力は24ビットラッチ回路81bに与えられる。図8は偶数ドット表画面のセクタ62aと奇数ドット表画面のセクタ63aの出力をラッチする表画面用の24ビットラッチ回路81aのラッチ処理の模式図を示している。ただし、R、G、Bに付記している添え字1、2、3・・・は奇数・偶数を示すものでなく、説明上の順番を示している。

【0060】セクタ62a、63aからのRGB出力は交互にラッチ回路81aに入力される。即ち、図8に示すようにラッチ回路81aには、R1、G1、B1、R2、G2、B2、R3、G3、B3、R4、G4、B4が交互に入力される。ラッチ回路81aは24個のフリップフロップを持っていて、図示のようにラッチする。その際、8ビットたまると、その8ビットを平行に同時出力する。尚、裏画面用のセクタ62b、63b及び

ラッチ回路81bの動作についても同様であり、表画面用と同時に動作する。

【0061】この回路の詳細な構成を図9に示す。図9において、L1～L24はラッチ用のDフリップフロップであり、横方向に8個ずつ計24個設けられている。各フリップフロップL1～L24の出力はAND回路L31～L54とOR回路L61～L67を通して出力端子SD7～SD0へ導出されるようになっている。

【0062】フリップフロップL1、L7、L13、L19のD端子にはRAが入力され、フリップフロップL2、L8、L14、L20のD端子にはGAが入力され、フリップフロップL3、L9、L15、L21のD端子にはBAが入力される。

【0063】また、フリップフロップL4、L10、L16、L22のD端子にはRBが入力され、フリップフロップL5、L11、L17、L23のD端子にはGBが入力され、フリップフロップL6、L12、L18、L24のD端子にはGBが入力される。尚、前記RA、GA、BAは偶奇コントロール回路61において、ドットクロックDCLKAによってラッチされたRGB画像信号であり、RB、GB、BBはドットクロックDCLKBによってラッチされた画像信号である。

【0064】フリップフロップL1、L2、L3のクロック端子にはドットクロックLT0が印加され、以下同様にフリップフロップL4、L5、L6のクロック端子にはドットクロックLT1、フリップフロップL7、L8、L9のクロック端子にはドットクロックLT2、フリップフロップL10、L11、L12のクロック端子にはドットクロックLT3、フリップフロップL13、L14、L15のクロック端子にはドットクロックLT4、フリップフロップL16、L17、L18のクロック端子にはドットクロックLT5、フリップフロップL19、L20、L21のクロック端子にはドットクロックLT6、フリップフロップL22、L23、L24のクロック端子にはドットクロックLT7がそれぞれ印加される。前記ドットクロックLT0～LT7については、図10に示されている。

【0065】まず、ドットクロックLT0の入力によってフリップフロップL1、L2、L3はそれぞれ入力信号R1A、G1A、B1Aをラッチする。次のドットクロックLT1の入力によってフリップフロップL4、L5、L6がR1B、G1B、B1Bをラッチする。更に、次のドットクロックLT2によってフリップフロップがR2A、G2A、B2Aをラッチする。順次、このようにして入力信号のラッチが行なわれる。

【0066】そして、ドットクロックLT2の立ち上がりからLT5の立ち上がりまで読み出し用の信号Z8BEN0が図10に示すようにローレベルになる。このローレベルはAND回路L31～L38に対し反転して入力されるので、AND回路L31～L38は導通可能と

なり、フリップフロップL1～L8でラッチされていたデータはAND回路L31～L38からOR回路L61～L68を通して出力端子SD7～SD0へ導出される。この導出されたデータは次段の32ビットラッチ回路87a、88a(図2参照)へ伝送される。

【0067】同様に、フリップフロップL9～L16のラッチデータはドットクロックLT5の立ち上がりからLT7の立ち上がりまでZ8BZN1がローレベルになり、その間に出力端子SD7～SD0へ導出され、フリップフロップL17～L24のラッチデータはドットクロックLT7の立ち上がりからLT2の立ち上がりまでの間にZ8BZN2がローレベルになり、その間に出力端子SD7～SD0へ導出されることになる。

【0068】フリップフロップL1～L24のクリア信号LTCLRは上述の動作中ローレベルのままであるため、フリップフロップL1～L24のラッチデータはクリアされることなしに上書きされる。尚、青塗りつぶしの場合の処理(図3において、横サイズW内に横サイズZの画像を表示する場合に非画像領域301、303を青で表示するために予めサイズWにわたって青で塗りつぶすための処理)は、RGBが001となる必要があるが、これは次のようにして行なわれる。

【0069】即ち、フリップフロップL1～L3についてみると、R用とG用のフリップフロップL1、L2のクリア端子cはクリア信号入力端子LTCLRに接続されているが、B用のフリップフロップL3はプリセット端子pがクリア信号入力端子LTCLRに接続されている。従って、画面全体を青で塗りつぶすときは、クリア信号をハイレベルに固定する。このようにすると、L1、L2の出力は入力画像データの如何によらず、0となり、L3の出力は1となる。図9から分かるように全てのフリップフロップL1～L24はR用とG用についてはクリア端子が前述のL1、L2のようになっており、B用はL3のようになっている。

【0070】次に、横方向の拡大表示における24ビットラッチ回路81aの動作を説明する。尚、拡大表示機能は例えばSVGAやVGAの画面をXGAに拡大する場合等に用いられる。本実施形態で2倍に拡大することはないが、分かり易いため2倍に拡大するときの24ビットラッチ回路81aのラッチ動作を示すと、図8(ロ)のようになる。これはRGB各3ビットの入力を2箇所のフリップフロップで同時にラッチすることにより実現される。

【0071】これは図9において、ドットクロックLT0～LT7を図11のようにして入力するだけで実現できる。この場合、例えばL1～L3が動作するとき、L4～L6も同時に動作することになる。つまり、フリップフロップは6回ずつ同時に動作する。このことは32ビットラッチを介して行なうDRAMへの書き込みを早くするということでもある。

【0072】図12は横方向を1.28倍に拡大する(図3において、ZのデータサイズをWに拡大する)場合にラッチ回路へ入力するドットクロックLT0～LT7を示すとともに8ビットずつの読み出し用信号Z8BEN0、Z8BEN1、Z8BBEN2等を示している。尚、ドットクロックLT0～LT7及び読み出し信号Z8BEN0、Z8BEN1、Z8BBEN2はラッチコントロール回路82から与えられる。このラッチコントロール回路の構成の詳細は図に示していないが、このラッチコントロール回路82はモードに応じて上述した図10又は図12に示すLT0～LT7、Z8BEN0～Z8BBEN2を出力する。

【0073】1024×768(XGA型LCDパネルの画面)の画面内に800×600(SVGA)の画面や640×480(VGA)の画面を表示する場合、又はSVGAの画面内にVGAの画面を表示する場合には、先にも一言したように画像表示されない周りの部分301、303を青又は黒にすると見やすい。ここでは、1024×768の画面内に800×600の画面を表示する場合を例に挙げて説明する。

【0074】非画像領域を青又は黒にする場合、本発明では画面全体に対応して青又は黒をDRAMに1回書き込み(青又は黒塗りつぶし)、そのDRAM内のデータに対して800×600の部分のデータを上書きする。青又は黒による全体の塗りつぶしは表示処理動作が開始したとき又は表示モードが切り換ったとき(例えばXGA画面にSVGA画像を表示するモードからVGAを表示するモードに変化したとき、又はVGAからSVGAに変化したとき)に行なう。DRAMからの読み出しは毎回全体(1024×768の画面)を読み出して表示する。

【0075】即ち、DRAMに青を書き込む(青塗りつぶし)とき、横方向は800ドットのタイミングで1024のドットを形成するので、拡大処理が必要である。縦方向の塗りつぶしは、第1の垂直期間にDRAM上の半画面分に青(黒塗りつぶしのときは黒)を書き込み、次の垂直期間に残りの半画面分の青(又は黒)を書き込むことによってDRAM1画面の塗りつぶしを完了する。

【0076】24ビットラッチ回路に書き込む際に、拡大は図11、図9で述べたようにドットクロックLT0～LT7によってコントロールできる。このとき、フリップフロップL1～L24のクリア信号LTCLRを1にすれば「001」のピクセルが繰り返しラッチされるので、ラッチ出力は前面青となる。このラッチ出力は32ビットラッチ回路を介してDRAMに記憶される。しかる後、800×600のモードで画像データをDRAMに上書きすればよい。

【0077】前記青塗りつぶし処理に代えて黒塗りつぶし(800×600の画面の周囲を黒にする)の処理は

24ビットラッチに対して行なわず、32ビットラッチ側で行なう。これは、32ビットラッチを構成するラッチ回路をクリアするだけで簡単に行えるからである。

【0078】先にも一言したように、パーソナルコンピュータからの画像データはVSYNCから何個目かのHSYNC後に有効になり、1行の中ではHSYNCから何ドット目か後に画像が有効になる。これは入力画像データが垂直ブランキング期間と水平ブランキング期間をもっているからである。

【0079】CPU1によって設定された垂直ブランキング、水平ブランキングの後、画像取り込みになると、24ビットラッチコントロール回路82から24ビットラッチ用のラッチ信号が発生し、前述の24ビットラッチ回路はセレクタからのRGB信号を3ビットずつラッチする。24ビットラッチ回路は表画面用のラッチ回路81aと裏画面用のラッチ回路81bの2組あり、表裏それぞれ3ビットずつ同時に順次ラッチする。上述した図9は表用の24ビットラッチ回路81aであるが、裏用の24ビットラッチ回路81bも入力データが異なるだけで図9と同一の構成となっている。

【0080】32ビットラッチ回路87a、88a、87b、88bは24ビットラッチ回路81a、81bからの8ビットデータを順次ラッチし、4回ラッチして32ビットたまると、DRAMライトアドレスコントロール回路85からアドレス信号が出力され、DRAM91～94への画像データ(32ビットラッチ出力データ)の書き込みが行なわれる。

【0081】32ビットラッチ回路は表画面用に2組(即ち、87aと88a)、裏画面用に2組(即ち、87bと88b)の合計4組ある。ラッチ回路87aと87bにそれぞれ32ビットデータがたまり、DRAMへライトしている間に、他方のラッチ回路88aと88bが次の32ビットデータをそれぞれ順次ラッチする。

【0082】図13は32ビットラッチ回路87a、88a、87b、88bの各1/4部分(最初の8ビット部分)を示している。同図において、201、202、203、204は32ビットラッチ回路87a、88a、87b、88bの各々に4個ずつ設けられている8ビットDフリップフロップICの各1個を示している。従って、32ビットラッチ回路87a、88a、87b、88bは図13と同じ回路を4組合わせることによって同時に構成される。

【0083】入力のSD0～SD7は24ビットラッチ回路81aの出力に接続されて表画面の画像データを受ける。SDC0～SDC7は24ビットラッチ回路81bの出力に接続されて裏画面の画像データを受ける。各フリップフロップIC201～204の出力はAND回路群205～208と、OR回路群209を介して出力端子WD0～WD7に接続されている。

【0084】IC201と203のクロックはLT8B

OとLTBENからAND回路210を介して与えられ、一方IC202と204のクロックはLT8BOとLTBENからLTBEN側を反転するAND回路211を通して与えられる。

【0085】まず、IC201と203がラッチ動作を行なっているとき、IC202と204はラッチデータを出力する動作を行なう。逆にIC202と204が出力動作を行なっているときIC202と204はラッチ動作を行なう。尚、実際にはIC201と共にSD0～SD7に接続され、IC201と共に同一の動作を行なうICは更に3個(不図示)ある。IC202、203、204についても、それらと同一の動作を行なうICは更に3個ずつ(不図示)ある。

【0086】そして、IC201と不図示の3個のICによって構成される32ビットラッチ回路87aに画像データの32ビット分がラッチされると、その画像データは32ビットパラレルに出力され、DRAMにライトされる。IC202、203、204についても同様である。

【0087】32ビットラッチ回路の上記の動作中、IC201、202、203、204のクリア端子CLR Nには1が与えられており、IC201～204は入力データをラッチし、出力する。しかし、黒塗りつぶしのときは、全てのクリア端子CLR Nに0が与えられ、IC201～204はクリア状態となる。このクリア状態では、入力画像データの如何に拘らずIC201～204の出力は全て0となる。

【0088】DRAMのアドレスはRASアドレス9ビットを行アドレス9ビット(9ビット～512までカウント可能、使用最大行数384)に、CASアドレス9ビットを表/裏画面用1ビット、上下画面用1ビット、ドットアドレス7ビット(7ビット～128までカウント可能、使用最大ドット数96、ドット数は実際には32ビットのライトの回数)にしている。このため1行内ではRASアドレスは変化せずページモードを使うことができアクセスタイムを短くする。

【0089】以上のようにしてDRAM91～94にライトされた画像データをリード(読み出す)動作について説明する。DRAM91～94から読み出したデータは読み出し用の32ビットラッチ回路98～101に、いったんラッチする。DRAMリードのアドレスは回路97によりコントロールされるが、リードの場合のアドレスはライトの場合と異なり、縦・横方向とも常に0からスタートする。縦・横のサイズはXGA型LCDパネルとSVGA型LCDパネルで2種の固定値をもち、コントローラ2の入力ピンの0/1の状態でどちらかが自動的に選択される。

【0090】まず、DRAMから上画面の32ビットを読み、32ビットラッチ回路98にラッチし、次に下画面の32ビットをDRAMから読み、32ビットラッチ

10

20

30

40

50

回路100にラッチする。32ビットラッチ回路は上／下画面用にそれぞれ2組計4組もつ。図2において、98、99は上画面用、100、101は下画面用である。上下1回ずつ読むと、32ビットラッチ98、100はそれぞれ8ビットを4回に分けて出力する。

【0091】8ビットずつ送出的間、他方の32ビットラッチ99、101は次のリードデータをラッチする。このように、32ビットラッチ回路98、100と99、101を交互に使い、上下画面データを同時に連続して送出する。DRAMリードの間隔はLCDモジュール11にデータを送るスピードに規定され、それに合わせている。

【0092】上画面、下画面と交互にリードするとき、1行内ではCASアドレスのみ変化すればよいので、ライト時と同様ページモードを使用でき、スピードアップしている。1行分のリードが終ると等分で作ったHSYNCを待ち、HSYNCがくると改行して次のリードを開始する。行アドレスをインクリメントしないとその行は2度読みされ行コピーされる。拡大表示の場合、これを使いDRAMリード時に画面の縦方向を拡大する。1垂直期間(VSYNCから次のVSYNCまでの期間)の前半で表画面のデータを表示し、後半で裏画面を表示する。

【0093】上画面用コンバータ102と下画面用コンバータ103は32ビットラッチ98～101からくる8ビットずつのデータを受け取り、8ビットI/FのSVGA型LCDの場合は、そのままLCDモジュールに出力し、12ビットI/FのXGA型LCDの場合は8ビット3回を12ビット2回に並べ替えてLCDモジュールに送る。コンバータ102、103は、それぞれ同時に動作する。LCD信号発生回路104ではLCDモジュールに必要なラッチ信号、改行信号等を形成する。

【0094】DRAMバスコントロール回路90はコントローラ2に接続する2組のDRAM用のバスを、一方をDRAMライトにし、他方をDRAMリードにする。VSYNCごとにリード／ライトをチェンジする。前のVSYNC期間にDRAMに書いたデータを次のVSYNC期間で読んで表示する。

【0095】CPU1は表示装置の電源が投入されたとき、又は入力画像信号の表示モード(XGA、SVGA、VGA)が変わったときに、LCDモジュール11の表示をOFF状態にした状態で各種のパラメータ等の設定を行ない、その設定が完了した後に、LCDモジュール11をON状態にする。

【0096】ここで、その設定動作について説明する。CPU1はパーソナルコンピュータ等から送られてきた入力画像信号中のVSYNC、HSYNCの周波数及び極性から、その入力画像信号がどの表示モード(XGA、SVGA、VGA)のものであるかを判定する。また、表示装置側で操作部300を介して設定されている表示モード(黒塗りつぶし、青塗りつぶし、拡大、通常)をメモ

リ8を参照して判定する。

【0097】次に上記表示モードに合致するように、カウンタA、B、C、D、Hの値を設定するとともに、同期信号VSYNC、HSYNCの極性反転(同期信号の極性を一定にするため)、DRAMからの読み出しの際のHSYNCを形成するための入力画像信号期間の等分(768、600、480等分)、ドットクロック周波数設定表示モードの倍率設定、黒又は青塗りつぶし設定等を行なう。

【0098】CPU1は操作部300で表示モード(黒塗りつぶし、青塗りつぶし、拡大、通常)の切り換えがあったときは、メモリ8に記憶されているデータと比較し、モード切り換えがあったことを判定するが、このような切り換えがあったときもLCDモジュール11の表示をOFF状態にした状態で上記の設定動作を行ない、その設定が完了した後に、LCDモジュール11をON状態にする。尚、本実施形態で上記の設定動作時にLCDモジュールをOFF状態にするのは設定動作中に乱れた表示を行なうのを避けるため及び駆動信号の停止からLCDモジュールを保護するためである。

【0099】以上説明した実施形態における拡大処理と塗りつぶし処理について要点をまとめると、まず、拡大表示の処理は、24ビットラッチ回路81a、81bのデータラッチ動作行なうラッチパルスを制御することによって横方向の拡大がなされ、その24ビットラッチ回路の出力データを、その拡大された形でDRAM91～94へライトし、そのライトされたデータをDRAMからLCDモジュール11に与えるべく、読み出すときに、同じ行を複数回読むことにより、縦方向の拡大を行なう。図14は、DRAMにライトされた状態を模式的に示している。図から分かるように、上画面、下画面とも行数が不足している。この不足分は同じ行を重複して読み出すことによって補充される。

【0100】青塗りつぶし処理は青塗りつぶし制御回路83の制御で24ビットラッチ回路のクリア端子を所定の値に固定することにより実現される。黒塗りつぶしは黒塗りつぶし制御回路80によって32ビットラッチ回路87a、87b、88a、88bの所定の入力端子を所定の値に固定してラッチをクリア状態とすることにより実現される。

【0101】以上の実施形態では、入力画像信号を60Hzとしており、そのため1画面は1/120秒間の表示となっている。しかし、入力画像信号が60Hz以外の場合であってもよく、例えば入力画像信号が70Hzの場合は1画面が1/140秒間の表示となる。要は、入力画像信号の垂直周波数をfとしたとき1画面は1/2f秒間表示されるようにする。

【0102】また、上述のようにA/Dコンバータ4(図1参照)より出力される信号によってコントローラ2では互いにディザパターンが異なるようにしている。例えば、階調4では前述したように縦横3×3ドットを

基本パターンとして図15(a)に示すように点灯率を1/3とし、階調3では図15(b)に示すように縦横7×7ドットを基本パターンとして点灯率を2/7として中間調の表示を行っている。

【0103】しかしながら、図16に示すようにA/Dコンバータ4に入力されるアナログの画像信号が階調3と4のしきい値付近にある場合、アナログ入力には20mV程度の電圧幅があるためにA/Dコンバータ4より階調3と4がランダムに混ざり合った信号が出力される。階調3と4の2種類のパターンがランダムに混ざり合うために図15(a)及び図15(b)に示すディザパターンを用いることにより中間調の表示に細かなチリチリしたノイズが発生してしまう。

【0104】そこで、ディザパターンを次のように変更することによりノイズを低減することができる。図17に示すように縦横8×8ドットを基本パターンとして階調3では点灯率2/8とする。このパターンでは各行各列はいずれも点灯数が等しくなっており、上述のように1画面ごとに1行ずつ上にシフトする。

【0105】階調4では図18(a)に示すように階調3での基本パターンにさらに点灯するドット数を4個増やして点灯率5/16とする。点灯率5/16のディザパターンを1画面ごとに1行ずつ上にシフトさせていくと、列によって点灯数が異なるようになるため画像に模様が発生してしまう。

【0106】そのため、LCD表示装置は第1画面に図18(a)に示すパターンを用いれば、第2画面には図18(b)に示すパターンで点灯を行う。図18(b)に示すパターンでは点灯数が5/16であるが、各列の点灯数が図18(a)に示すパターンと逆となる。第3画面では図18(a)に示すパターンから2行分上にシフトしたパターンで点灯を行う。そして、第4画面では図18(b)に示すパターンから2行分上にシフトしたパターンで点灯を行う。このように、画面ごとにパターンを切り換えながら点灯を行う。これにより、各列の点灯数が平均化される。

【0107】ところが、ある列に注目すると階調4のパターンとして付加されているドットは画面の進行にともなって2行ずつ上にシフトするので、行によって点灯数に違いが生じることになる。そのため、画像に模様が発生してしまう。

【0108】そこで、第1画面から第8画面までは図18(a)と図18(b)に示すパターンを用いて点灯を行い、第9画面から第16画面までは図18(c)と図18(d)に示すパターンを用いて点灯を行うようにする。そして、第17画面では第1画面でのパターンに戻って繰り返す。

【0109】図18(c)、(d)に示すディザパターンは図18(a)、(b)に示すパターンの点灯により発生する点灯数の違いを相殺するパターンとなってい

る。尚、図18(a)及び(c)は奇数番目の画面でのパターンであり、図18(b)及び(d)は偶数番目の画面でのパターンである。これにより、各位置での点灯数に違いが生じなくなるので一様な表示となる。

【0110】このように階調4ではディザパターンのサイズを階調3の場合と共通にして4種のパターンを用いることにより、A/Dコンバータ4より出力される信号に階調3と4がランダムに混ざり合っている画像表示には図17に示す階調3でのパターンに階調4での付加部分に違いが生じるだけとなるので、図15及び図17に示すパターンに比べてランダムに点滅する部分が少なくなり、画面上に発生するノイズが大幅に低減できる。尚、4種のパターンを繰り返すタイミングは入力画像信号の周波数等により変更してもよい。

【0111】また、階調0の場合には全ドットの消灯を行う。階調1の場合には、縦横8×8ドットのパターンに点灯率1/8で点灯を行う。それから、階調が1上昇することに縦横8×8ドットのパターン上で点灯数を4個増やす。そして、階調15のときには全ドットの点灯を行う。尚、点灯率が5/16のように、奇数/16となる場合にはディザパターンが1種又は2種であれば前述のように画像に模様が生じることとなるので4種のパターンを用いて中間調の表示が行われる。

【0112】さらにノイズを低減するために図19に示す回路を用いて画像信号に含まれるノイズを低減する。この回路はヒステリシスを考慮したデータの加工によりノイズを低減するものであり、偶奇コントロール回路61(図2参照)の入力側に信号RGB(O)とRGB(E)のRGB各々について合計6個設けられる。

【0113】図19においてRGB各々の4ビットの信号は4ビットDフリップフロップ401~404で4ビット分ラッチされる。奇数ビット側ではフリップフロップ401~404のクロック端子にはドットクロックDCLKOが印加され、一方、偶数ビット側ではドットクロックDCKEが印加される。

【0114】この回路に入力される信号はまずフリップフロップ401でラッチされる。そして、クロックに同期したタイミングでフリップフロップ401にラッチされている信号はフリップフロップ402でラッチされ、フリップフロップ401では次の入力信号がラッチされる。同様の動作をするようにフリップフロップ402の後段にフリップフロップ403が設けられ、フリップフロップ403の後段にフリップフロップ404が設けられており、順次信号がラッチされる。

【0115】フリップフロップ404より出力される信号はセレクト411に入力される。セレクト411の出力は4ビットDフリップフロップ405に入力される。フリップフロップ405のクロック端子も奇数ビット側ではドットクロックDCLKOが印加され、一方、偶数ビット側ではドットクロックDCKEが印加される。

フリップフロップ405の出力は偶奇コントロール回路61に送られる。また、フリップフロップ405の出力側はセクタ411のもう一方の入力側に接続されている。

【0116】比較回路409ではフリップフロップ404でラッチされているデータがフリップフロップ405でラッチされているデータより+1（階調が1上昇）であるかどうか判断される。さらに、比較回路406～408ではそれぞれフリップフロップ401～403でラッチされているデータがフリップフロップ405でラッチされているデータと等しいかどうか判断される。比較回路406～409での比較結果はセレクトコントロール回路410に入力される。

【0117】セレクトコントロール回路410はこれらの比較結果に基づいてフリップフロップ404でのデータがフリップフロップ405でのデータより+1であり、且つフリップフロップ401～403でのデータにフリップフロップ405にラッチされているデータに1つでも一致しているものがある場合にセクタ411を制御してフリップフロップ404のデータをカットしてフリップフロップ405のデータをもう一度フリップフロップ405に入力するようにする。一方、上記条件以外ではセレクトコントロール回路410はセクタ411を制御してフリップフロップ404のデータをセクタ411を介してフリップフロップ405に入力する。

【0118】これにより、例えば図20(a)に示すように、階調3の入力が続いている場合に階調4の入力があっても、それに続く3ドット以内に階調3に戻るならば矢印A、Bに示すように階調4の部分がカットされる。また、図20(b)に示すように階調3の入力が続いている場合に階調4が4ドット以上連続して入力されればカットしないで偶奇コントロール回路61に出力する。尚、フリップフロップ404でのデータが-1（階調が1下降）や+2（階調が2上昇）等の+1以外の場合にもフリップフロップ404の出力はセクタ411を通過してフリップフロップ405に入力される。

【0119】このように、アナログの入力画像信号が階調3と4のしきい値付近にあるために、A/Dコンバータ4より出力される信号に階調3と4がランダムに混じり合っている場合、階調4の部分がカットされて階調3に統一されるので信号のノイズが低減される。言うまでもなく、他の階調についても同様にノイズが低減される。尚、上述のように階調によって基本パターンのサイズが異なっている場合でも図19に示す回路を使用することによりノイズが低減されるの滑らかな画面表示にすることができる。

【0120】次に、図19に示す回路の変形例を説明する。本実施形態におけるA/Dコンバータ4は6ビットの信号を出力するものであり、その上位4ビットを階調として前述の図19に示す回路に入力していたが、この

未使用であった下位2ビットを使用することにより1つの階調でもさらに4分割されたデータを参照することが可能となる。そこで、フリップフロップ401～405は6ビットDフリップフロップとして6ビットの信号をラッチするようにする。

【0121】比較回路406～408ではそれぞれフリップフロップ401～403より出力される6ビットの各データとフリップフロップ405でラッチされている6ビットのデータを比較する。比較回路409ではフリップフロップ404と405のデータの差をとり、フリップフロップ405でのデータに対してフリップフロップ404での値の上昇が+1かどうか判断される。

【0122】セレクトコントロール回路410では、フリップフロップ404での値の上昇が+1より小さくて且つフリップフロップ405でのデータがフリップフロップ401～403での少なくとも1つに一致している場合にはフリップフロップ404のデータをカットして再度フリップフロップ405のデータをフリップフロップ405に入力する。この条件以外ではフリップフロップ404より出力されているデータをフリップフロップ405に入力する。

【0123】これにより、例えば図21の440に示すようにA/Dコンバータ4に入力されるアナログの画像信号が階調3と4のしきい値付近であり、A/Dコンバータ4より階調3と4がランダムに出力されているときには前述のように階調4の部分のカットが行われる。

【0124】ところで、階調3と4が混在していても441に示すようにアナログ信号が常にしきい値付近にあるとは限らない。例えば階調3でも6ビットのデータが「001110」から階調4の「010010」に変化し、再び「001110」に戻る場合、階調3と4が混じり合った状態であっても入力されるアナログ信号には1階調分の間隔があり、ランダムにばらついているわけではない。

【0125】比較回路406～409では6ビットの信号で比較を行っているので、セレクトコントロール回路410ではこの1階調分の上昇を判断することができ、階調4のデータをカットしない。このように、階調3と4が混じり合っている場合でもアナログ入力のばらつきに起因するものでない信号はカットされないようになる。また、アナログ入力のランダムなばらつきはカットされるのでノイズを低減することができる。

【0126】

【発明の効果】以上説明したように請求項1の発明によれば、LCDの画面全体を特定色で塗りつぶすようにメモリに特定色データをライトしておけば、後は入力画像データに従ってメモリの書換えを順次行なうだけでよい。したがって、非画像領域を画面（フレーム）ごとに毎回書き換える必要はない。従って、従来例のように非画像領域を毎回書き換えるものに比べて簡単で、回路動

作上の負担も軽減される。

【0127】また、請求項3の発明によれば、横方向の拡大は、同一の入力画像データを所定の拡大比に応じたビット数だけ重複してラッチ回路にラッチさせるだけでよいことになり、拡大処理が容易である。

【0128】請求項4の発明によれば、中間調が表示できるとともに、入力画像データの階調に応じたディザパターンを画面ごとに簡単に出力できる。

【0129】請求項5の発明によれば、1画面が1/2f秒間（ただし、fは入力画像信号の垂直周波数）表示されるものであるので、単位時間当りの画面枚数が多くなり、画面のチラツキ（フリッカ）が低減される。

【0130】請求項6の発明によれば、ディザパターンの1画面ごとの変化が簡単な規則性に従って形成され、信号処理上、有利である。

【0131】また、請求項7の発明は、表示モードの設定動作中における表示画面の乱れをを好適に回避できる。

【図面の簡単な説明】

【図1】本発明のLCD表示装置の実施形態のブロック回路図。

【図2】そのコントローラの詳細ブロック回路図。

【図3】そのDRAMへの書き込み及びLCDパネルの画面と表示領域との関係を説明するための図。

【図4】それに入力される画像信号の同期信号等の波形図。

【図5】図2に示されるディザパターン発生回路とセレクタを示す図。

【図6】そのディザパターン例を示す図。

【図7】ディザパターン発生回路とセレクタの他の構成例を示す図。

【図8】図2における24ビットラッチ回路の動作概念図。

【図9】その24ビットラッチ回路の詳細回路図。

【図10】その動作説明波形図。

【図11】本実施形態における拡大表示の処理の原理を示すラッチ信号波形図。

【図12】1.28倍に拡大する処理例を示す波形図。

【図13】図2における32ビットラッチ回路の構成の一部を示す回路図。

【図14】拡大処理時におけるDRAMのライト状態を示す図。

【図15】図6におけるディザパターンの例を示す図。

【図16】アナログの画像信号と階調の関係を示す図。

【図17】階調3での別のディザパターンの例を示す図。

【図18】その階調4でのディザパターンの例を示す図。

【図19】階調データの加工を行う回路のブロック回路図。

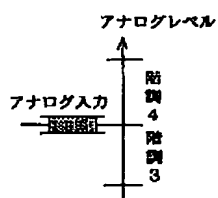
【図20】その動作説明図。

【図21】その画像信号と階調データの加工の例を示す図。

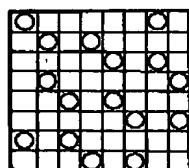
【符号の説明】

- 1 CPU
- 2 コントローラ
- 4 A/Dコンバータ
- 5 クロックジェネレータ
- 6 ビデオアンプ
- 7 オンスクリーンディスプレイ
- 8 書換え可能な不揮発性メモリ（EEPROM）
- 9 入力コネクタ
- 10 バッファ
- 11 LCDモジュール
- 61 偶奇コントロール回路
- 62 a、62 b、63 a、63 b セレクタ
- 64 FRC回路
- 81 a、81 b 24ビットラッチ回路
- 82 ラッチコントロール回路
- 83 青塗りつぶし制御回路
- 87 a、87 b、88 a、88 b 32ビットラッチ回路
- 91、92、93、94 DRAM
- 98、99、100、101 読み出し用の32ビットラッチ回路
- 102 上画面用コンバータ
- 103 下画面用コンバータ

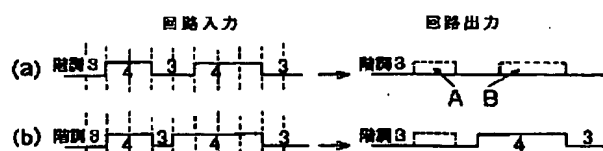
【図16】



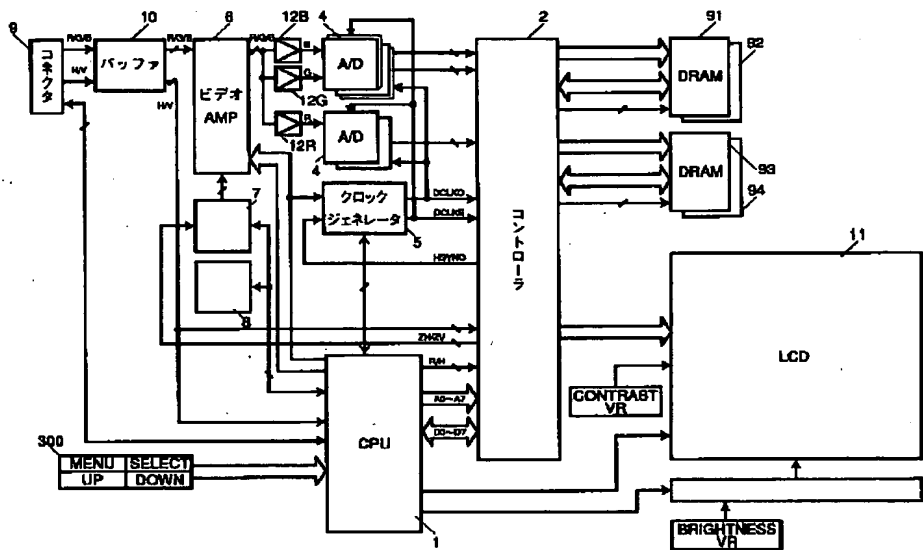
【図17】



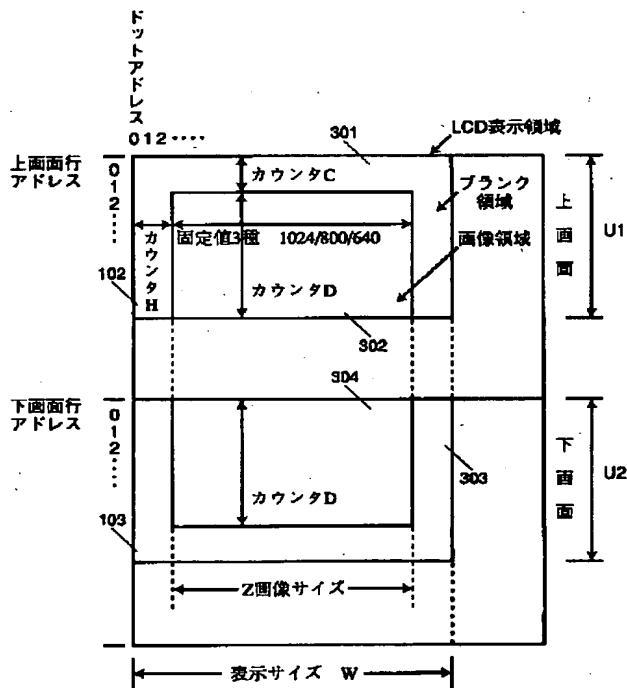
【図20】



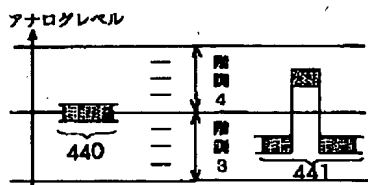
【図1】



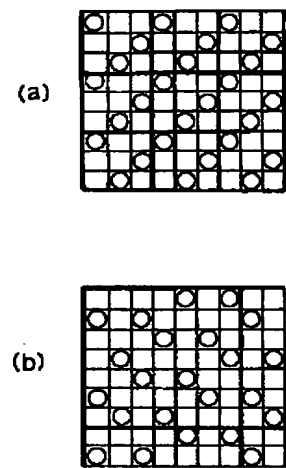
【図3】



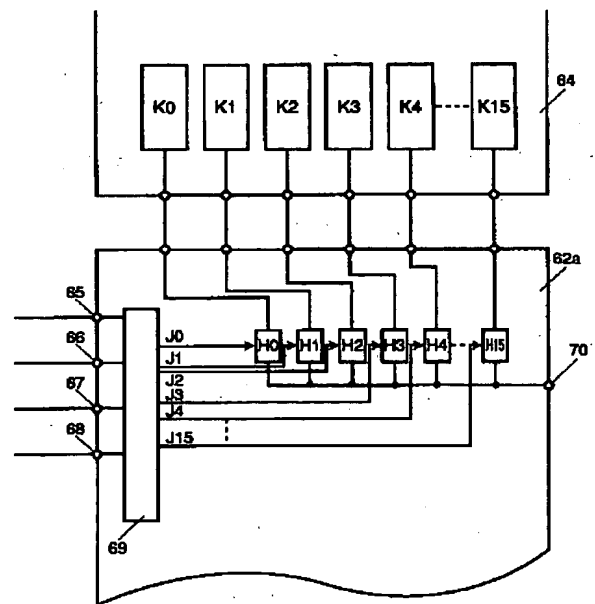
【図21】



【図15】

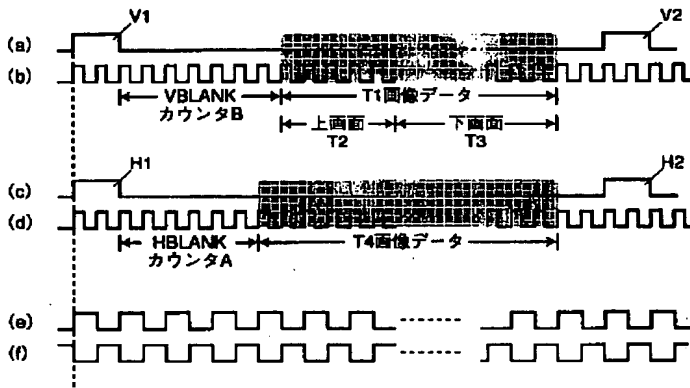


【図5】

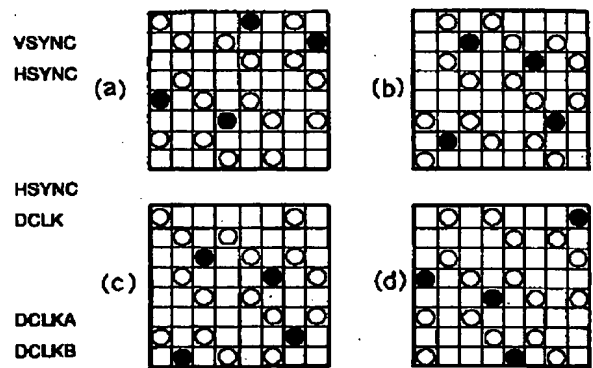


[illegible]

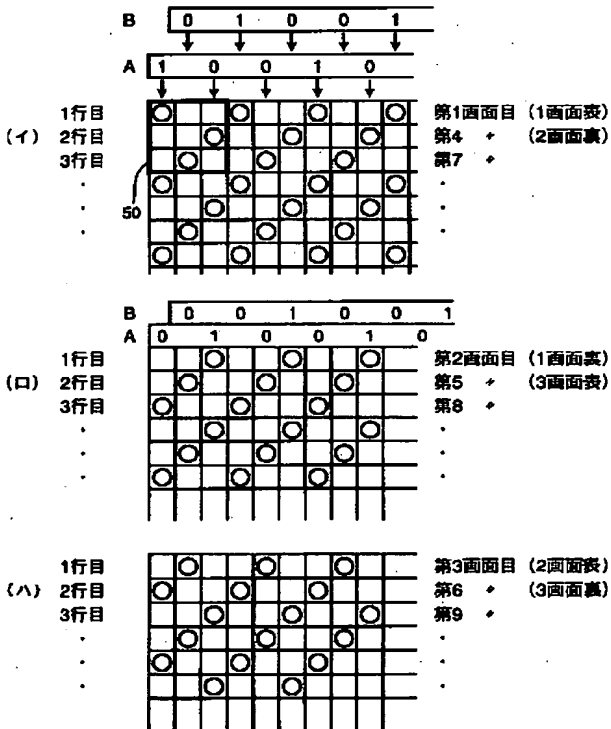
【図4】



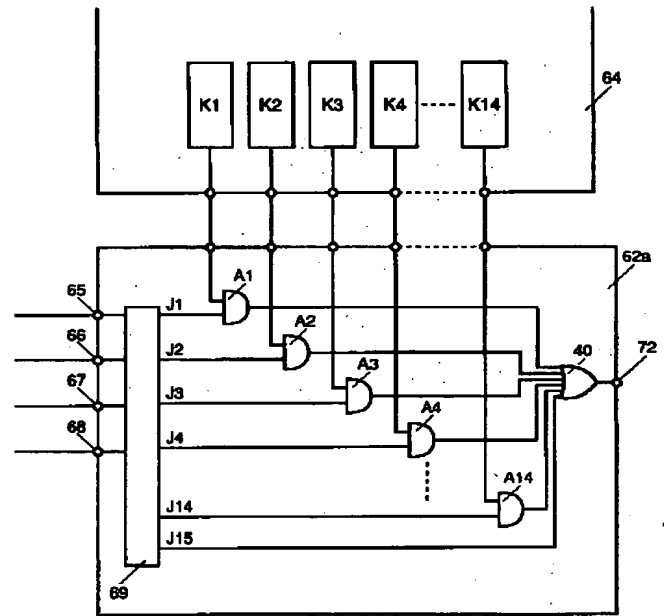
【図18】



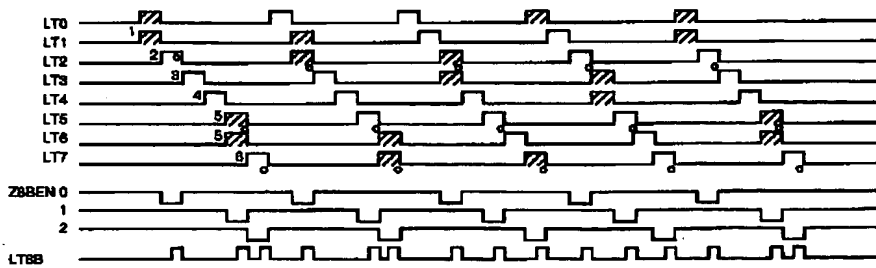
【図6】



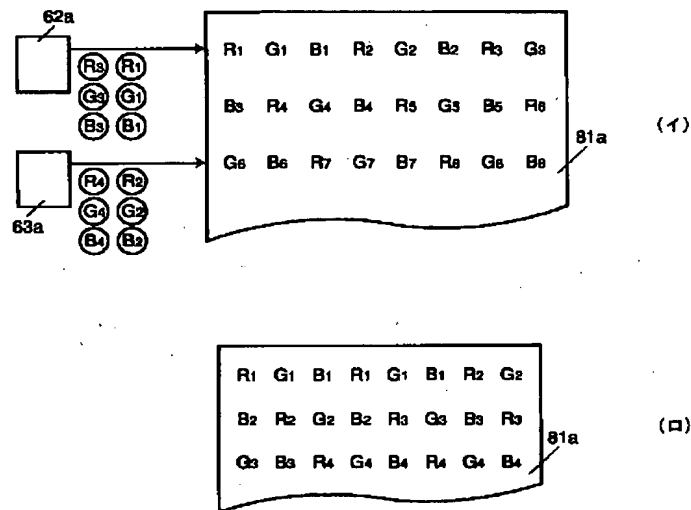
【図7】



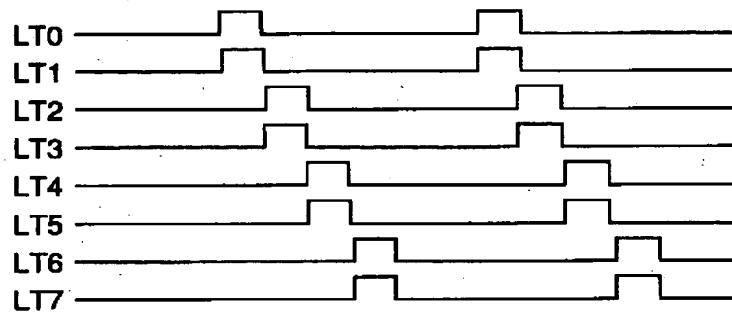
【図12】



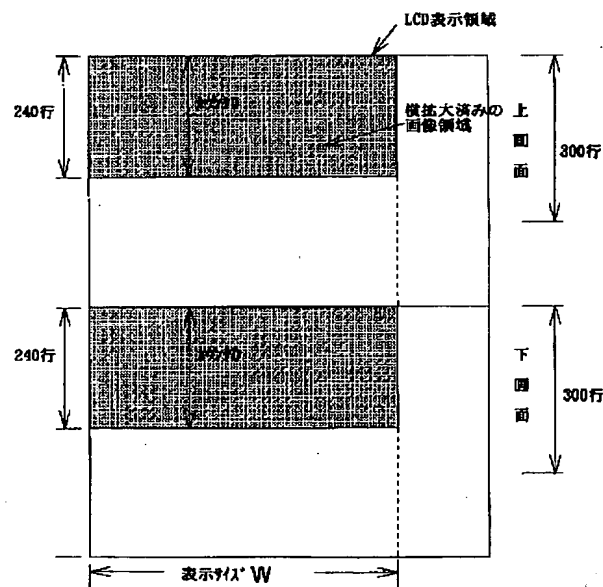
【図8】



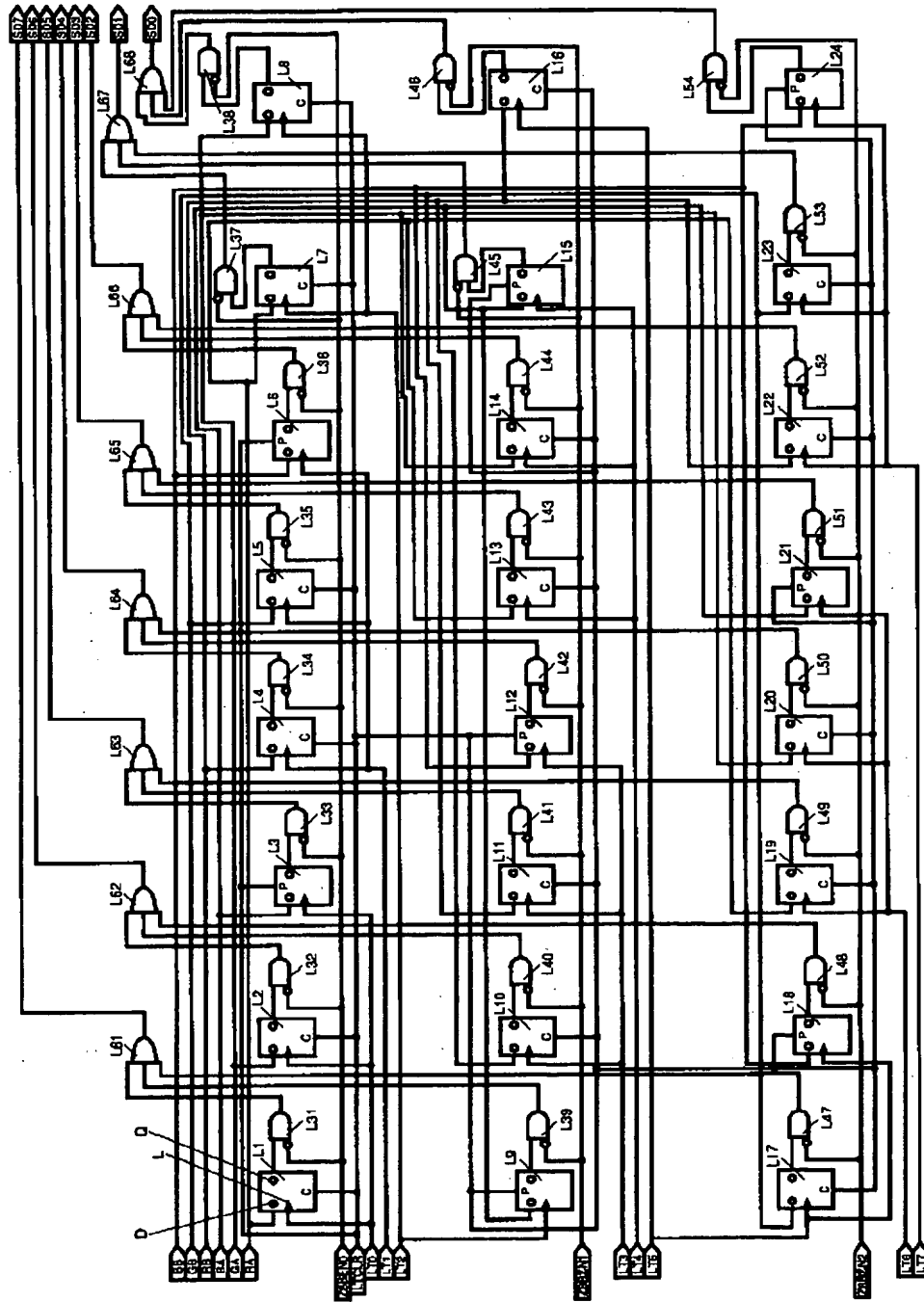
【図11】



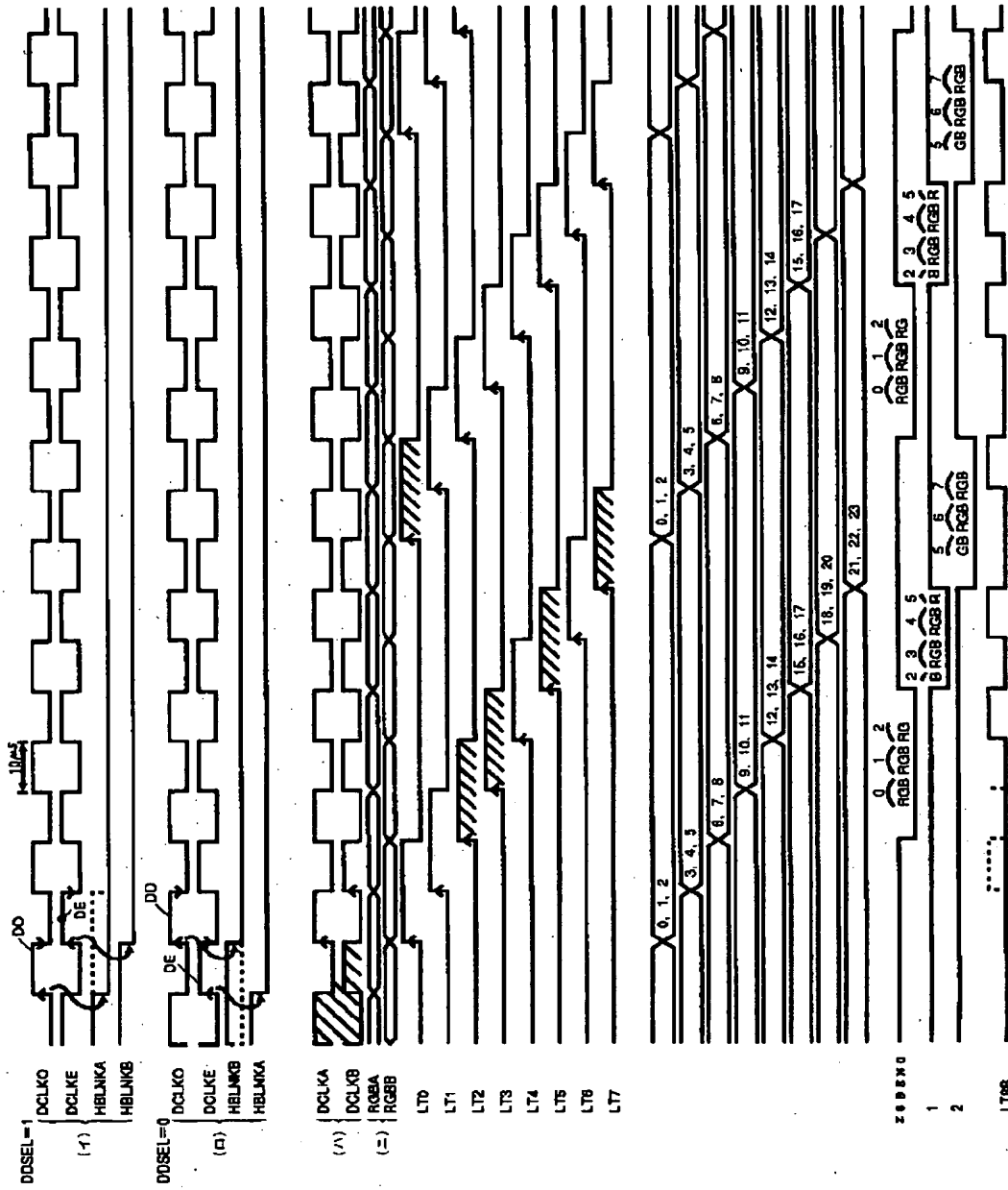
【図14】



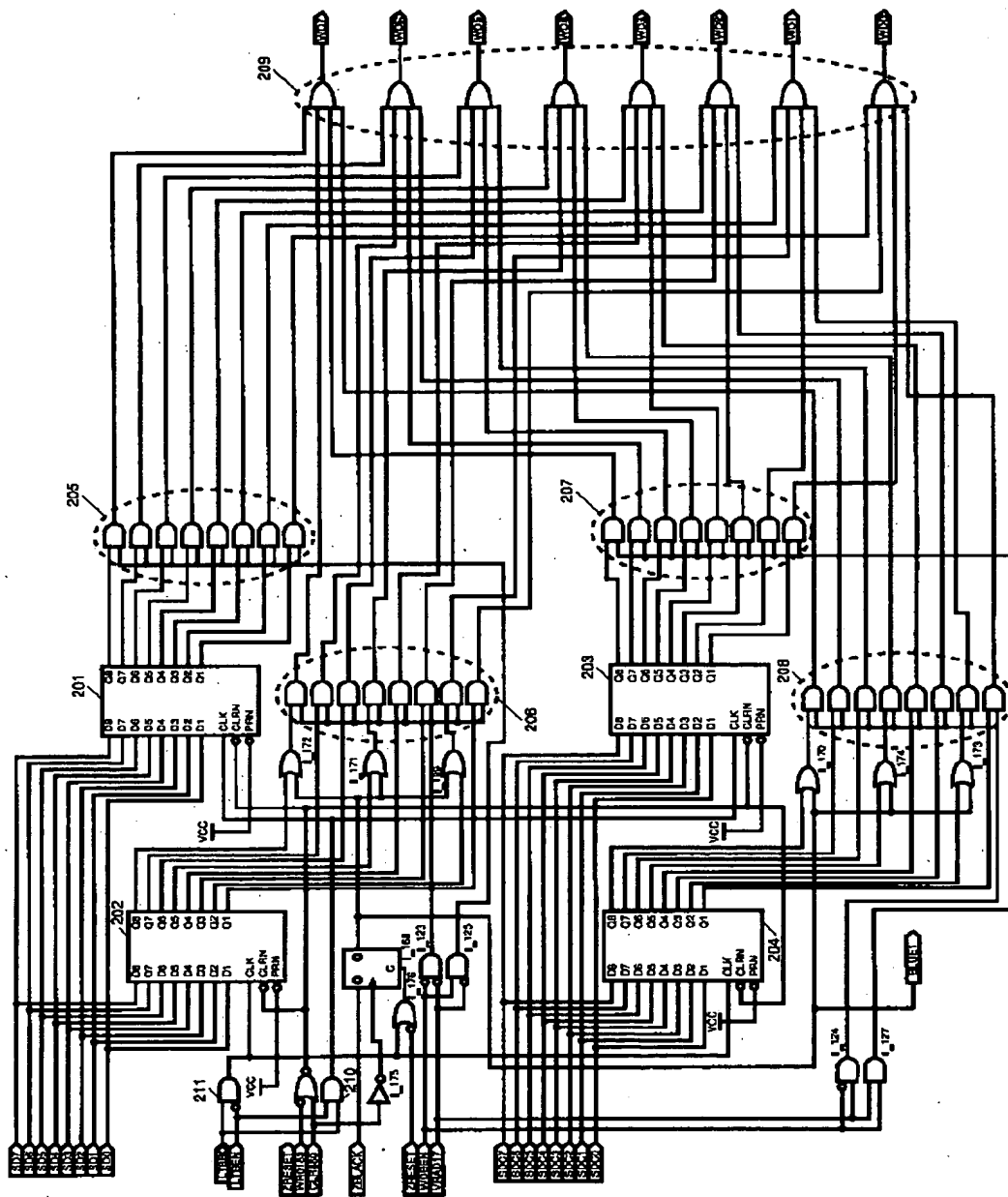
【図9】



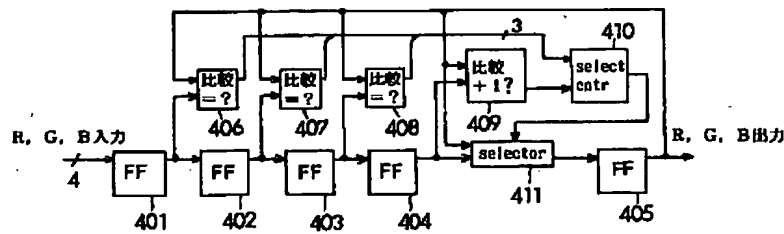
【図10】



【図13】



【図19】



【手続補正書】

【提出日】平成9年12月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】同様に、フリップフロップL9～L16のラッチデータはドットクロックLT5の立ち上がりからLT7の立ち上がりまでZ8BEN1がローレベルになり、その間に出力端子SD7～SD0へ導出され、フリップフロップL17～L24のラッチデータはドットクロックLT7の立ち上がりからLT2の立ち上がりまでの間にZ8BEN2がローレベルになり、その間に出力端子SD7～SD0へ導出されることになる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0086

【補正方法】変更

【補正内容】

【0086】そして、IC201と不図示の3個のIC

によって構成される32ビットラッチ回路87aに画像データの32ビット分がラッチされると、その画像データは32ビットパラレルに出力され、DRAMにライトされる。IC202、203、204についても同様である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0119

【補正方法】変更

【補正内容】

【0119】このように、アナログの入力画像信号が階調3と4のしきい値付近にあるために、A/Dコンバータ4より出力される信号に階調3と4がランダムに混じり合っている、階調4の部分がカットされて階調3に統一されるので信号のノイズが低減される。言うまでもなく、他の階調についても同様にノイズが低減される。尚、上述のように階調によって基本パターンのサイズが異なっている、図19に示す回路を使用することによりノイズが低減されるので滑らかな画面表示にすることができる。

フロントページの続き

(72)発明者 井上 武志

鳥取市立川町7丁目101番地 鳥取三洋電
機株式会社内

(72)発明者 戸川 信吾

鳥取市立川町7丁目101番地 鳥取三洋電
機株式会社内